

РАСШИРЕНИЯ ЯЗЫКА VHDL-AMS ДЛЯ МНОГОУРОВНЕВОГО МОДЕЛИРОВАНИЕ УСТРОЙСТВ СВЯЗИ

Г. Сердюк , Б. Шелковников (научный руководитель)

Институт телекоммуникационных систем НТУУ <КПИ>,
Индустриальный пер.2, 03056 Киев, Украина, e-mail:gserdyuk@mail.ru, shelk@ukr.net

Аннотация – Рассмотрены подходы к моделированию радиочастотной части коммуникационных устройств. Приведен пример моделирования с использованием языка VHDL-AMS/FD – расширения VHDL-AMS для моделирования компонентов в частотной области.

I. МОДЕЛИРОВАНИЕ ЦЕПЕЙ И СИСТЕМ

Традиционный подход к моделированию СВЧ и радиочастотных блоков устройств связи (усилителей, смесителей и т.п.) на схемотехническом уровне состоит в том, чтобы определить режимы их работы, обеспечив некоторое стандартное окружение, как правило, это стандартные (50 Ом) нагрузки и синусоидальные источники сигналов. Такой анализ позволяет определить основные свойства блока (интегральные параметры) и оценить его пригодность для использования в составе устройства.

В свою очередь, при проектировании устройств, обычно имеют дело с высокоуровневыми примитивами, блоки (усилители, фильтры) представлены своими интегральными параметрами.

Естественно, что такой подход к проектированию создает потенциальные проблемы, так как оставляет разрыв – неизвестно как отдельные части будут вести себя в составе целого. Полной верификации системы на схемотехническом уровне препятствует значительный размер получающейся задачи, но даже частичная верификация затруднена из-за отсутствия консистентного способа переключения представлений – высокоуровневого и схемотехнического.

Этот разрыв был преодолен с разработкой и, позднее, принятием стандартов языков описания аппаратного обеспечения (т.н. HDL – Hardware Description Language)

- VHDL-AMS [4] и Verilog-A. Эти языки пригодны для многоуровневого описания цифровых и аналоговых цепей, но они ограничены цепями с сосредоточенными параметрами. Таким образом, в поле их действия не попадают радиочастотные и СВЧ цепи, т.к. для них существенно наличие элементов с распределенными параметрами.

Предложенное расширение VHDL-AMS, включающее возможность описания элементов в частотной области - VHDL-AMS/FD [1,2], позволяет описывать элементы с распределенными параметрами, которые демонстрируют сложные зависимости свойств от частоты.

Естественным методом моделирования таких описаний является метод гармонического баланса [1,3,5].

В настоящем сообщении демонстрируется использование языка VHDL-AMS/FD для многоуровневого описания приемного тракта и последующее моделирование методом гармонического баланса. В общем, рассмотренный пример соответствует методологии нисходящего проектирования. Вначале будут представлены задача и полученные результаты моделирования, а в следующей части продемонстрировано применение VHDL-AMS/FD для целей моделирования.

II. МОДЕЛЬНАЯ ЗАДАЧА.

Рассмотрим задачу проектирования приемного тракта. На первом этапе строится простой тракт, состоящий из источника (антенна), входного усилителя, смесителя, фильтра и УПЧ (Рис 1). В самом

простом случае усилители представлены как идеальные, в качестве смесителя использован умножитель. Частота среза идеального ФНЧ установлена вдвое выше частоты ПЧ (достаточно произвольно).

Поскольку смеситель представляет собой умножитель, спектры сигнала содержат только 2 комбинационные составляющие – $RF+LO$ и $RF-LO$ и представлены на рис 2.

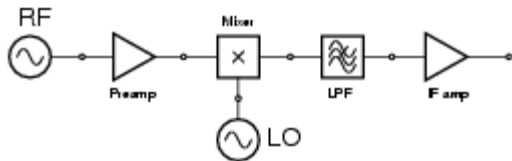


Рисунок 1. Блок схема приемника

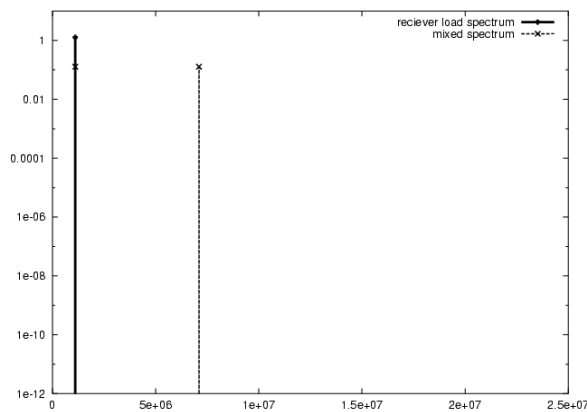


Рисунок 2. Спектр на выходе приемного тракта при использовании идеального умножителя

В ходе детализации проекта блоки постепенно заменяются более подробными описаниями - реализациями. Конкретизация реализаций этих блоков, естественно, влияет на параметры всего устройства. Таким образом, заменив абстрактный аналоговый умножитель элементом Гильберта [1], необходимо проконтролировать изменения, которые произошли в функционировании всего устройства. Спектры сигнала после смесителя и на выходе усилителя ПЧ (Рис. 1) для этого случая, показаны на рис. 3. На графике видно наличие множества спектральных составляющих, причем для всех значительных составляющих отмечены их индексы. Видно наличие составляющих $RF+3LO$, $RF-3LO$ весьма высокой мощности, которые, правда, могут

быть легко отфильтрованы из-за большого отстояния от ПЧ. Близко расположенная составляющая $3RF-2LO$ имеет довольно малую амплитуду (порядка -100dB) по отношению к ПЧ.

Принципиальная схема самого смесителя представлена на Рис 4.

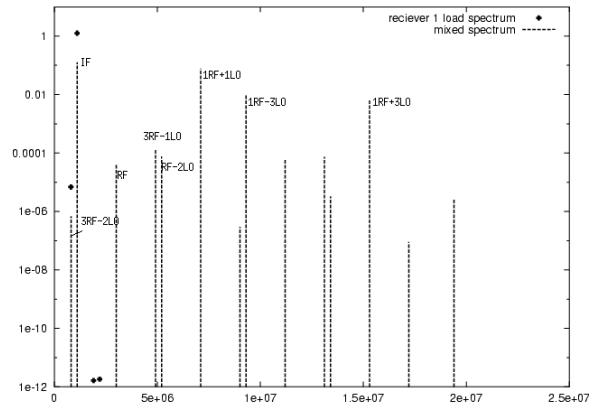


Рисунок 3. Спектр на выходе приемного тракта при использовании элемента Гильберта

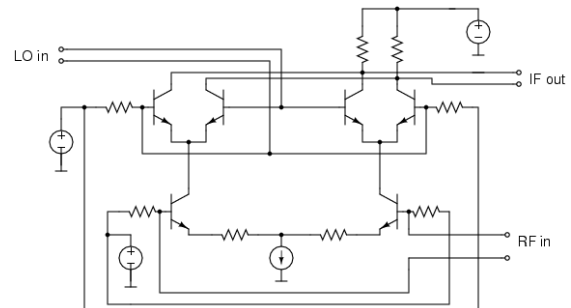


Рисунок 4. Элемент Гильберта

III. ИСПОЛЬЗОВАНИЕ ЯЗЫКА.

На самом верхнем уровне описание приемного тракта представляет собой, по сути, список компонентов:

```
...
RF: entity source(eq)
    generic map(1.e-3, Frequency1)
    port map(input);
PREAMP: entity amp (eq)
    generic map (10)
    port map (input, preamp);
LO: entity source(eq)
    generic map(0.1, Frequency2)
    port map (lo);
MIXER: entity mixer(eq)
    port map (preamp, lo, mixed);
FILTER: entity lpfilter(eq)
    generic map (lowfr)
    port map( mixed, filtered);
```

```
IFAMP: entity amp (eq)
  generic map (10)
  port map (filtered, load);
...

```

Описание содержит пары сущность – архитектура (например mixer(eq)). Вот как выглядит смеситель в первом случае:

```
entity mixer is
  port (quantity a, b, o : real);
end entity;
architecture eq of mixer is
begin
  o==255*a*b; -- 255 is arbitrary
end architecture;
```

Как видно описание состоит из двух частей – описания сущности (с ее интерфейсом – параметрами и портами) и описания архитектуры. Одной сущности могут соответствовать несколько архитектур. Данная архитектура содержит уравнение, связывающее выходную величину с входными.

Модель умножителя сформулирована для мгновенных значений амплитуд, т.е. в временной области. VHDL-AMS/FD позволяет сформулировать модель и в частотной области, для чего используется специальный атрибут переменной – ‘FD’.

```
entity lpfilter is
  generic (fr: real);
  port (quantity a_in, a_out : real);
end entity;
architecture eq of lpfilter is
begin
if (fabs(FREQUENCY())<=fabs(fr)) use
  a_in'FD==a_out'FD;
else
  a_out'FD==ZERO;
end use;
end architecture;
```

Тут связь входной и выходной величин описана в частотной области.

Теперь перейдем к уровню цепей. Вот как выглядит архитектура схемотехнического уровня для смесителя:

```
architecture gilbert of mixer is
terminal trf, tlo, tout: electric;
begin
MIX: entity gilbert_mix(componental)
  port map (tlo, trf, tout);
vrf: entity q2v(eq) port map(a,trf);
vlo: entity q2v(eq) port map(b,tlo);
```

```
vou: entity v2q(eq) port
map(o,tout); end architecture;
```

Здесь, в свою очередь, элемент MIX: gilbert_mix (componental) так же представлен списком компонентов.

Замена одной строки в первоначальном описании тракта позволяет использовать другую архитектуру смесителя:

```
...
MIXER: entity mixer(gilbert)
  port map (preamp, lo, mixed);
...

```

и дает возможность провести моделирование тракта на смешанном уровне с использованием схемотехнической модели смесителя, результаты которого уже представлены в предыдущем разделе.

IV. ЗАКЛЮЧЕНИЕ.

Описано использование языка VHDL-AMS/FD для создания описаний устройств связи на примере модели приемного тракта. Полученная модель использована при расчете устройства методом гармонического баланса. Язык VHDL-AMS/FD является расширением VHDL-AMS для моделирования в частотной области.

V. ЛИТЕРАТУРА

1. G. Serdyuk, D. Goodman, “VHDL Approach Improves Nonlinear Simulation”, *Microwaves & RF*, November 2001, pp. 76-102.
2. Rincon User Manual, Ridgetop Group, Inc., <http://www.ridgetop-group.com>
3. V.Rizzoli et al, General-purpose Harmonic Balance Analysis of Nonlinear Microwave Circuits Under Multitone Excitations. *IEEE Trans on MTT*, vol. 36, no. 12, pp. 1650-1660, Dec.1988.
4. VHDL-AMS Language Reference Manual, IEEE Standard No.: 1076.1-1999
5. Ken Kundert, *Simulation Methods for RF Integrated Circuits*. ICCAD Proceedings, 1998.